

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-345424

(43)Date of publication of application : 14.12.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092
H03K 19/094

(21)Application number : 2000-164718

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.05.2000

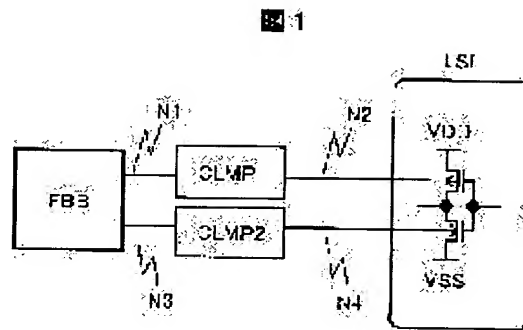
(72)Inventor : MIYAZAKI SUKEYUKI
ISHIBASHI KOICHIRO
KUBO SEIJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent an increase in a leakage current in a semiconductor integrated circuit device which is associated with a rise of the operating temperature of the device, in the case where a forward substrate bias is applied to the device.

SOLUTION: A bias signal which is outputted by a forward bias control circuit FBB is fed to a substrate of a CMOS circuit LSI through current clamping circuits CLMP1 and CLMP2. The circuits CLMP1 and CLMP2 are constituted by utilizing low-impurity concentration diffused layers, and feed a permanent constant current to the substrate to a temperature change. As the result, at the time of a drive in the low voltage of the CMOS circuit, the operating speed of a semiconductor integrated circuit device is enhanced by a forward bias, and at the same time, at the time of a temperature rise of the device, an increase in a leakage current in the device, which is associated with an application of the forward bias to the device, is suppressed and the semiconductor integrated circuit device having a high speed and a high reliability is realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-345424

(P2001-345424A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/04		H 0 1 L 27/04	G 5 F 0 3 8
21/822		27/08	3 2 1 L 5 F 0 4 8
21/8238			3 2 1 B 5 J 0 5 6
27/092			D
H 0 3 K 19/094		H 0 3 K 19/094	
審査請求 未請求 請求項の数 6 O L (全 8 頁)			

(21) 出願番号 特願2000-164718 (P2000-164718)

(22) 出願日 平成12年5月30日 (2000. 5. 30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宮▲崎▼ 祐行

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 石橋 孝一郎

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

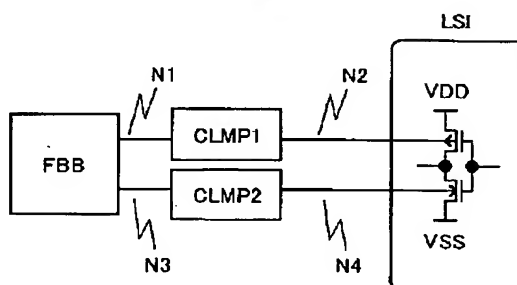
(57) 【要約】

【課題】 順方向基板バイアスを印加する場合に、動作温度の上昇にともなうリーク電流の増加を防止する。

【解決手段】 順バイアス制御回路FBBが出力するバイアス信号は電流クランプ回路CLMPを通してCMOS回路LSIの基板へ供給される。電流クランプ回路CLMPは不純物濃度の低い拡散層を利用して構成され、温度変化に対して不変な定電流を供給する。

【効果】 CMOS回路の低電圧駆動時、動作速度を順バイアスにより向上するとともに、温度上昇時、順バイアス印加にともなうリーク電流の増加を抑制し、高速かつ高信頼性を持った半導体集積回路装置を実現する。

図 1



【特許請求の範囲】

【請求項1】MOSトランジスタを含む主回路と、
上記MOSトランジスタの形成されたウェルにバイアス
信号を出力する基板バイアス制御回路とを有し、
上記バイアス信号は、電流クランプ回路を介して上記M
OSトランジスタの形成されたウェルに印加されること
を特徴とする半導体集積回路装置。

【請求項2】請求項1において、
上記MOSトランジスタは、第1導電型の第1ウェルに
形成された第2導電型の第1半導体領域及び第2半導体
領域を含み、
上記電流クランプ回路は、第1導電型の第2ウェルに形
成された第2導電型の第3半導体領域を含み、
上記第3半導体領域の不純物濃度は上記第1半導体領域
の不純物濃度よりも低いことを特徴とする半導体集積回
路装置。

【請求項3】請求項2において、
上記第1ウェルと上記第2ウェルは分離層もしくは絶縁
層によって電気的に分離され、
上記第1ウェルと上記第2ウェルは電気的に接続されて
いることを特徴とする半導体集積回路装置。

【請求項4】請求項2または3において、
上記第1半導体領域または上記第2半導体領域のいずれ
か一方に上記MOSトランジスタのソース電位が印加さ
れ、
上記第3半導体領域に上記MOSトランジスタの上記ソ
ース電位が印加され、
上記第2ウェルに上記バイアス信号が印加されることを
特徴とする半導体集積回路装置。

【請求項5】請求項1において、
上記基板バイアス制御回路は上記主回路の動作速度が一
定になるように上記基板バイアスの電位を制御すること
を特徴とする半導体集積回路装置。

【請求項6】請求項1において、
上記基板バイアス制御回路は順方向の電位となるバイア
ス信号を出力することを特徴とする半導体集積回路装
置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に
係わり、特に高速性を実現する半導体集積回路装置に関
する。

【0002】

【従来の技術】近年の携帯情報機器の普及により、マイ
クロプロセッサ等のCMOS回路で構成される半導体集
積回路においても低消費電力での動作が望まれている。
CMOS回路の消費電力を低減する方法としては、駆動
用の電源電圧を低下することが最も効果的である。しか
し、一般的にCMOS回路においては電源電圧の低下は
動作速度の劣化をもたらす。この劣化の問題に対処する

ためには、MOSトランジスタのしきい値電圧を下げる
必要がある。MOSトランジスタのしきい値電圧は、C
MOS回路におけるスイッチング速度と関係が深く、ト
ランジスタのしきい値が低いということはCMOS回路
のスイッチング速度が速く、すなわち回路動作速度が速
くなることを意味する。ところが、今度はしきい値電圧
の低下にともないサブスレッショルドリーク電流が極端
に増加してしまい、結局消費電力を増加させることにな
ってしまう。このように、CMOS回路において高速性
と低電力性は相反する関係にある。したがって、マイク
ロプロセッサ等の半導体集積回路においては、高速性と
低消費電力性の両者を同時に実現することが重要な課題
となっている。

【0003】上記の問題を解決する方法として、たとえ
ば1998・インターナショナル・ソリッド・ステート・サ
ーキット・コンファレンス・ダイジェスト・オブ・テクニカ
ル・ペーパーズ（1998年2月）第88ページから第
89ページ（1998 International Solid-State Circuit
s Conference Digest of Technical Papers, pp.88-89
（February, 1998））に述べられているように、MOS
トランジスタの基板に順方向バイアスを印加してCMO
S回路の高速化を図る方法があげられる。通常、基板バ
イアスはPMOSトランジスタについては電源電圧に、
NMOSトランジスタについてはグラウンド電圧に設定す
る。順バイアスを印加するさいには、基板バイアスをP
MOSトランジスタについては電源電圧よりも低い電圧
に、NMOSトランジスタについてはグラウンド電圧より
も高い電圧に設定することにより、MOSトランジスタ
の順方向にバイアスを行う。この方法を「基板バイアス
を浅くする」ともいう。

【0004】基板に順バイアスをかけると、MOSトラ
ンジスタのしきい値の絶対値は低下する。したがってC
MOS回路に順方向基板バイアスを印加すれば、動作速
度を向上させることができる。しかし、この場合もやは
りしきい値の低下にともなうサブスレッショルドリーク
電流の増加が問題になる。また、他にも順方向バイアス
のために無駄なリーク電流すなわち無効電流も増加す
る。さらに従来は、CMOS回路に順バイアスを印加す
ると、ラッチアップ現象が発生し、回路の誤動作あるい
はトランジスタの破壊にいたる可能性が高いため、この
ような手段は行われていなかった。

【0005】ところが、1998・インターナショナル・
ソリッド・ステート・サーキット・コンファレンス・ダイ
ジェスト・オブ・テクニカル・ペーパーズ（1998年2
月）第88ページから第89ページ（1998 Internation
al Solid-State Circuits Conference Digest of Techn
ical Papers, pp.88-89（February, 1998））では、電
源電圧を1V程度にしたときに、4V以上の順バイアス
がかからなければ、ラッチアップは起きないと報告して
いる。つまり、電源電圧を下げてCMOS回路を低電圧

駆動すると、ラッチアップが起こる可能性が低くなるのである。

【0006】

【発明が解決しようとする課題】高速性と低電力性の二点を両立した、マイクロプロセッサ等のCMOS回路で構成される半導体集積回路装置について、特に低電圧時の高速動作を実現するためには、CMOS回路について前述のようにMOSトランジスタの基板に順バイアスを印加する方法が有効である。

【0007】しかし、CMOS回路の順バイアス制御では、やはりラッチアップが懸念され、またそれ以外にも、しきい値低下にともなうリーク電流の増加、順方向バイアスにともなう無効電流の増加が問題となる。特に、マイクロプロセッサなどが動作を行うと、半導体集積回路装置の温度が上昇し、リーク電流あるいは無効電流は大幅に増加する。リーク電流の増加は、低電圧駆動においては消費電力の増加に大きく関わってくる問題である。

【0008】

【課題を解決するための手段】上記課題を解決するために、MOSトランジスタに順方向基板バイアスを供給するにあたり定電流を供給する。これにより、CMOS回路を構成するトランジスタの温度が変化してリーク電流や無効電流が増加するような場合でも順バイアスが供給できる電流を一定におさえ、リーク電流の増加を防ぎ、特に低電圧駆動時の回路動作の信頼性を向上する。

【0009】本発明は、MOSトランジスタを含む主回路と、MOSトランジスタの形成されたウェルにバイアス信号を出力する基板バイアス制御回路とを有し、バイアス信号は、電流クランプ回路を介してMOSトランジスタの形成されたウェルに印加されるようにする。

【0010】ここで、PMOS基板バイアス用電流クランプ回路は、P型拡散層とN型ウェルで構成され、P型拡散層の不純物濃度はPMOSトランジスタの濃度よりも低くなっている。NMOS基板バイアス用電流クランプ回路はN型拡散層とP型ウェルで構成され、N型拡散層の不純物濃度はNMOSトランジスタの濃度よりも低くなっている。この濃度差により、順方向に基板バイアスを印加する場合においても、温度変化等による電流量の変動が小さく抑えられるものである。

【0011】

【発明の実施の形態】以下、図を参照して本発明の実施例を説明する。

【0012】図1は、本発明の実施例を示す図である。

【0013】本発明の半導体集積回路装置は、CMOS回路で構成されるマイクロプロセッサ等の半導体集積回路である主回路LSIと、順バイアス制御回路FBB、電流クランプ回路CLMP1およびCLMP2から構成される。順バイアス制御回路FBBはバイアス信号N1およびN3を出力する。電流クランプ回路CLMP1は

バイアス信号N1を入力しPMOS基板バイアスN2を出力する。電流クランプ回路CLMP2はバイアス信号N3を入力してNMOS基板バイアスN4を出力する。主回路LSIはPMOS基板バイアスN2とNMOS基板バイアスN4を入力して、主回路LSIを構成するMOSトランジスタの基板(ウェル)に供給する。

【0014】主回路LSIの動作を高速化するため、順バイアス制御回路FBBが供給するバイアス信号は、主回路LSIにとって順方向バイアスになっている。順方向バイアスとは、たとえばPMOSトランジスタの基板には電源電圧VDDよりも低い電圧が、NMOSトランジスタにはグラウンド電圧VSSよりも高い電圧が与えられることである。トランジスタ基板へ順バイアスを与えるとCMOS回路のリーク電流が増えるが、特に温度が高くなると顕著になる。本発明では、クランプ回路CLMP1およびCLMP2を設け、温度上昇による電流の増加を防いで主回路LSIに基板バイアスN2およびN4を一定の電流で供給する。クランプ回路が電流制限を行う機構に関しては、以下で詳細に述べる。

【0015】図2は、本発明の他の実施例を示す図である。

【0016】基板バイアス制御を行う半導体集積回路装置では、たとえば図2に示すように基板が3重ウェルと呼ばれる構造になっている。P型基板PSUBにおいて、N型拡散層N+とP型ウェルPWELでNMOSトランジスタを形成し、P型拡散層P+とN型ウェルNWELでPMOSトランジスタを形成し、その外周をN型分離層NISOで囲うことにより、P型ウェルPWELはN型分離層NISOで分離され、N型ウェルNWELはP型基板PSUBによって分離される。

【0017】ここで、PMOSトランジスタに用いられる電流クランプ回路CLMP1はP型拡散層P-とN型ウェルNWELで構成される。電流クランプ回路はP型基板PSUBによって分離されている。P型拡散層P-の不純物濃度は、PMOSトランジスタのP型拡散層P+に比べると薄くなっている。電流クランプ回路CLMP1において、P型拡散層P-は電源電圧VDDに接続され、またN型ウェルNWELは順バイアス制御回路FBBから供給されるバイアスN1を受け取りPMOS基板バイアスとしてN2をPMOSトランジスタのN型ウェルNWELに与える。

【0018】同様にして、NMOSトランジスタに用いられる電流クランプ回路CLMP2はN型拡散層N-とP型ウェルPWELで構成される。電流クランプ回路CLMP2はN型分離層NISOによって分離されている。N型拡散層N-の不純物濃度は、NMOSトランジスタのN型拡散層N+に比べると薄くなっている。電流クランプ回路CLMP2において、N型拡散層N-はグラウンド電圧VSSに接続され、またP型ウェルPWELは順バイアス制御回路FBBから供給されるバイアスN

3を受け取りNMOS基板バイアスとしてN4をNMOSTランジスタのN型ウェルNWE Lに与える。

【0019】これらの構造をした電流クランプ回路が温度変化にもよらず電流を一定に保てる原理を以下に説明する。説明に当たっては、NMOS基板バイアスを生成する電流クランプ回路CLMP2をもとに行うが、PMOS基板バイアス用の電流クランプ回路CLMP1についても原理は同じである。

【0020】まず、図4を用いてPN接合電流の温度依存性を説明する。PN接合ダイオードの電流電圧特性は、例えば「集積回路工学(1):コロナ社:永田稔、柳井久義著」の第43ページに説明されているように、 $V_{pn} = (kT/q) \cdot \ln(I/AI_0) \dots (数1)$ と与えられる。ここで、 V_{pn} :PN接合電圧、 k :ボルツマン定数、 T :温度、 q :電荷量、 I :PN接合電流、 AI_0 :定数である。したがって、(数1)から図4に示すように温度が上昇すると電流電圧特性はTMP1からTMP2に変化する。

【0021】次に、図5を用いて不純物濃度とPN接合電流の関係を説明する。PN接合ダイオードの電流電圧特性はさらに、

$$I_0 = C \cdot (n_i^2) / Nd \dots (数2)$$

と与えられる。ここで、 C :定数、 n_i :真性状態でのキャリア濃度、 Nd :ドナーの濃度である。(数2)から図5に示すように濃度が増加すると電流電圧特性はND1からND2へと変化する。したがって、図2にあるように、濃度の低いN型拡散層からなるダイオード構造を持つ電流クランプ回路とMOSTランジスタの順方向電流の関係は図6のようになる。

【0022】クランプ回路にある程度の大きさの定電流源を用いてバイアス信号N3を供給すると、図6の(1)点に示す電圧値がバイアス信号として出力される。この時、NMOSTランジスタの波形は図6の(1')であるため、電流が抑えられている。この時温度があがると、電流クランプ回路の動作点は図6の(2)に移るが、同様にNMOSTランジスタの基板電流に関しても図6の(2')のように遷移するため、順バイアス制御によるリーク電流の増加は防止される。

【0023】図3は、本発明の他の実施例を示す図である。

【0024】基板バイアス制御を行う半導体集積回路装置では、たとえば図3に示すように基板が酸化膜絶縁層INSのMOSTランジスタ間の基板を分離している。電流クランプ回路のウェル部分も同様に酸化膜絶縁層で分離されている。ここで、PMOSTランジスタに用いられる電流クランプ回路CLMP1はP型拡散層P-とN型ウェルNWE Lで構成される。P型拡散層P-の不純物濃度は、PMOSTランジスタのP型拡散層P+に比べると薄くなっている。電流クランプ回路CLMP1において、P型拡散層P-は電源電圧VDDに接続さ

れ、またN型ウェルNWE Lは順バイアス制御回路FBBから供給されるバイアスN1を受け取りPMOS基板バイアスとしてN2をPMOSTランジスタのN型ウェルNWE Lに与える。

【0025】同様にして、NMOSTランジスタに用いられる電流クランプ回路CLMP2はN型拡散層N-とP型ウェルPWE Lで構成される。N型拡散層N-の不純物濃度は、NMOSTランジスタのN型拡散層N+に比べると薄くなっている。電流クランプ回路CLMP2において、N型拡散層N-はグラウンド電圧VSSに接続され、またP型ウェルPWE Lは順バイアス制御回路FBBから供給されるバイアスN3を受け取りNMOS基板バイアスとしてN4をNMOSTランジスタのN型ウェルNWE Lに与える。

【0026】図7は、電流クランプ回路の実施例を示す図である。図2、図3で示したように、電流クランプ回路は図7のようにN型拡散層N-とP型ウェルPWE Lで構成することができる。また、図8で示すようにNMOSTランジスタのゲート電圧を調整することで、N-層を形成することができる。本構成は電流クランプ回路CLMP1の構成であるが、電流クランプ回路CLMP2は導電型をそれぞれ逆にするだけで構成できる。

【0027】図9は、順バイアス制御回路FBBの実施例を示す図である。

【0028】順バイアス制御回路FBBは、Nバイアス生成回路FBNGEN、Pバイアス生成回路FBPGEN、アンプ回路AMP1およびAMP2から構成される。Nバイアス生成回路FBNGENでは、NMOSTランジスタ用の順バイアス基板電位としてたとえば0.5Vのバイアス電圧が生成される。Pバイアス生成回路FBPGENからは(電源電圧VDD-0.5V)に相当する電圧が生じ、PMOSTランジスタとNMOSTランジスタに同じ基板バイアスが供給されることになる。たとえば、電源電圧が1.5Vであれば、1.0VのPMOS用基板バイアスを生成する。Nバイアス生成回路FBNGENおよびPバイアス生成回路FBPGENが生成したバイアス信号は、それぞれアンプ回路AMP1およびAMP2で電流増幅され、定電流が出力としてバイアス信号N1およびN3が出力される。

【0029】図10は、順バイアス制御回路FBBの他の実施例を示す図である。

【0030】順バイアス制御回路の他の実施例は、遅延モニタ回路MON、位相比較回路CMP、デコーダ回路DEC、および基板バイアス生成回路VBBGENから構成される。遅延モニタ回路はクロック信号CLKを入力して遅延信号N11を出力する。位相比較回路CMPは遅延信号N11とクロック信号CLKを入力し、アップ信号N12およびダウン信号N13を出力する。デコーダ回路DECは、アップ信号N12およびダウン信号N13を入力し、デコード信号N14を出力する。基板

バイアス生成回路VBBGENは、デコード信号N14を入力しバイアス信号N1およびN2を出力する。遅延モニタMONは、バイアス信号N1およびN2をそれぞれPMOS基板バイアスおよびNMOS基板バイアスとして受け取り、バイアス値に応じて遅延時間を変化させる。クロック信号CLKを入力して遅延信号N11を出力したときに、クロック信号CLKと遅延信号N11との遅延時間が常に設計値どおりになるように、基板バイアスN1およびN2を制御する。比較回路CMPは、遅延信号N11とクロック信号CLKとの位相を比較し、両者間の遅延時間が設計値よりも速い場合にはダウン信号N13を、遅い場合にはアップ信号N12を出力する。デコーダ回路DECは、アップ信号N12およびダウン信号N13を受け取り、信号に応じてデコード信号N14を出力する。基板バイアス生成回路VBBGENは、デコード信号に応じてバイアス信号N1およびN2を生成する。基板バイアス信号N1およびN2は遅延モニタ回路にフィードバックされ、遅延モニタ回路の遅延時間が設計値どおりになるように基板バイアスを制御する。このようにして、順バイアス制御回路はCMOS回路の動作が常に一定になるように、基板バイアスを制御する。

【0031】図11は、遅延モニタ回路MONの実施例を示す図である。

【0032】遅延モニタ回路MONはインバータ回路が直列に接続されている。クロック信号CLKを入力し、遅延信号N11を出力する。遅延モニタ回路MONが有する遅延時間は、PMOSTランジスタ用基板バイアスN1およびNMOSTランジスタ用基板バイアスN2により調整される。

【0033】図12は、位相比較回路CMPの実施例を示す図である。

【0034】位相比較回路CMPは図のように構成され、2つの入力信号N11とCLKの位相差を比較する。N11信号の方が進んでいる場合に、ダウン信号N13を出力し、逆にN11の信号の方が遅れている場合にはアップ信号N12を出力する。

【0035】図13は、デコーダ回路DECの実施例を示す図である。

【0036】デコーダ回路DECは、RS型フリップフロップ回路RSFF、D型フリップフロップ回路DFF、セクタ回路SEL、NOR回路、およびインバータ回路INVから構成される。複数直列に接続されているD型フリップフロップ回路DFF出力N14のうち、1個の出力だけがアサートされ、他はすべてネゲートされる。アップ信号N12が入力されるとRS型フリップフロップのQ出力がアサートされ、セクタ回路SELによりD型フリップフロップは左から右へアサート位置が移動するシフトレジスタの働きをする。逆にダウン信号N13が入力されるとRS型フリップフロップのQ出

力がネゲートされ、セクタ回路SELによりD型フリップフロップは右から左へアサート位置が移動するシフトレジスタの働きをする。このようにして、デコーダ出力N14の選択位置が変化する。

【0037】図14は、基板バイアス生成回路VBBGENの実施例を示す図である。

【0038】基板バイアス生成回路VBBGENは、直列接続されたMOSTランジスタMOS1、並列接続されたMOSTランジスタMOS2、およびアンプ回路AMP11から構成される。MOSTランジスタMOS1は、各段で電圧を分圧し、各ドレイン端子から分圧電位を出力する。MOSTランジスタMOS2は、これらの電位を選択するスイッチとしてはたらき、デコーダ信号N14がこれらのスイッチを選択する。ここで選択された電圧はアンプ回路AMP11で電流増幅され、バイアス信号N1として出力される。アンプ回路AMP11の実施例は、図9のアンプ回路AMP1に示される。バイアス信号N2を生成する基板バイアス生成回路も同様の構成でできる。ただし、デコーダ信号N14により選択される電圧の方向は対照になる。MOSTランジスタは、NMOSでもPMOSでも可能である。アンプ回路AMP11の実施例は、図9のアンプ回路AMP2に示される。基板バイアス生成回路は、このようにしてデコーダ信号N14によって制御された基板バイアスN1およびN2を出力する。

【0039】

【発明の効果】MOSTランジスタに順方向の基板バイアスを印加する場合において、温度変化が生じてもそれに伴う大幅なリーク電流が流れることを抑制し、信頼性の高い半導体集積回路装置を実現する。

【図面の簡単な説明】

【図1】本発明の原理的な実施例の構成図である。

【図2】本発明の実施例の構成図である。

【図3】本発明の他の実施例の構成図である。

【図4】PN接合電流特性の温度変化を示す図である。

【図5】PN接合電流特性の不純物濃度変化を示す図である。

【図6】本発明の動作原理を示す図である。

【図7】電流クランプ回路の実施例の構成図である。

【図8】電流クランプ回路の他の実施例の構成図である。

【図9】順バイアス制御回路の実施例の構成図である。

【図10】順バイアス制御回路の他の実施例の構成図である。

【図11】遅延モニタ回路の実施例の構成図である。

【図12】位相比較回路の実施例の構成図である。

【図13】デコーダ回路の実施例の構成図である。

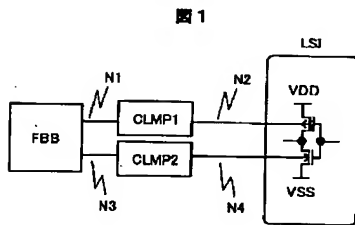
【図14】基板バイアス生成回路の実施例の構成図である。

【符号の説明】

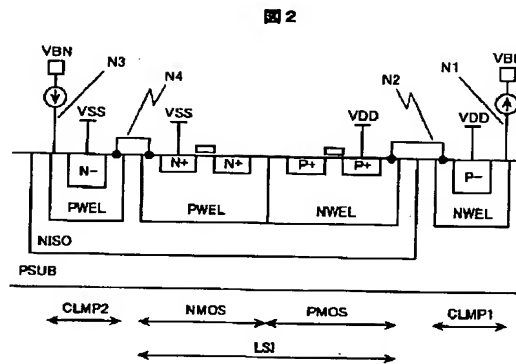
AMP1、AMP2、AMP11：アンプ回路、CLMP1、CLMP2：電流クランプ回路、CMP：位相比較回路、DEC：デコーダ回路、DFF：D型フリップフロップ回路、FBB：順バイアス制御回路、FBNGEN：Nバイアス生成回路、FBPGEN：Pバイアス生成回路、INS：酸化膜絶縁層、INV：インバータ回路、LSI：主回路、MON：遅延モニタ回路、MOS1、MOS2：MOSトランジスタ、N+、N-：N型拡散層、ND1、ND2：不純物濃度、NISO：N型分離層、NOR：NOR回路、NWEL：N型ウェル *10

*ル、N1、N2、N3、N4、N11、N12、N13、N14：信号、P+、P-：P型拡散層、PSUB：P型基板、PWEL：P型ウェル、RSFF：RS型フリップフロップ回路、SEL：セクタ回路、TMP1、TMP2：温度、VBBGEN：基板バイアス生成回路、VBN：NMOSトランジスタ用基板バイアス、VBP：PMOSトランジスタ用基板バイアス、VDD：電源電圧、VGG：ゲート電圧、VSS：グランド電圧。

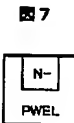
【図1】



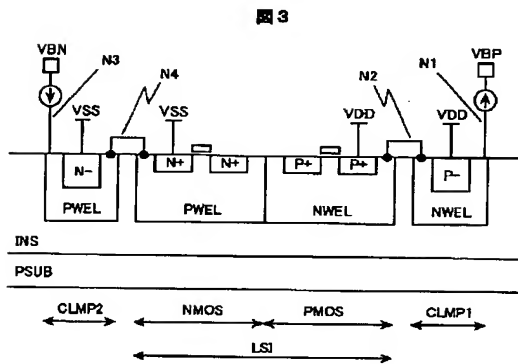
【図2】



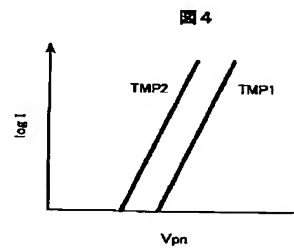
【図7】



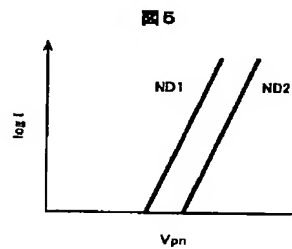
【図3】



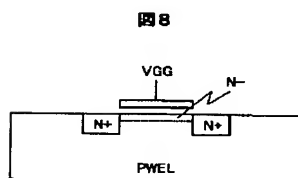
【図4】



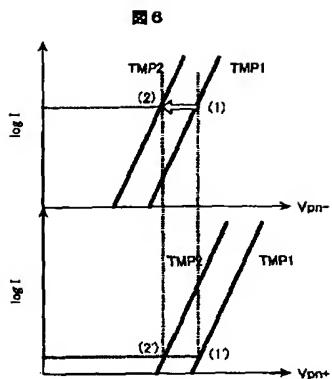
【図5】



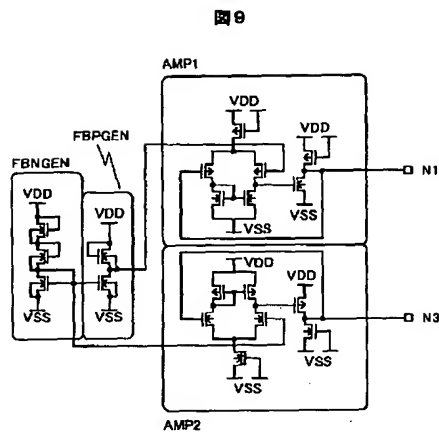
【図8】



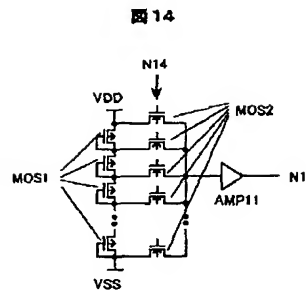
【図6】



【図9】

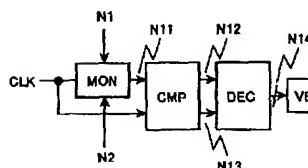


【図14】



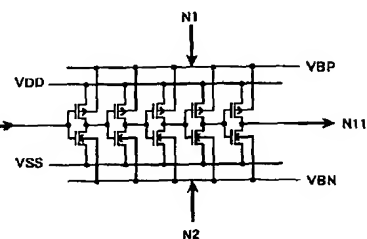
【図10】

図10



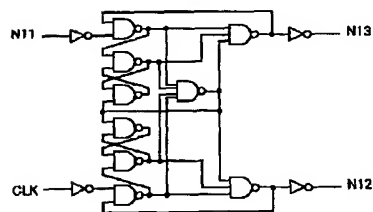
【図11】

図11



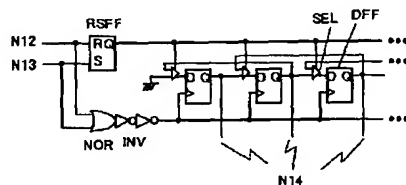
【図12】

図12



【図13】

図13



フロントページの続き

(72)発明者 久保 征治
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(8)

特開 2 0 0 1 - 3 4 5 4 2 4

F ターム(参考) 5F038 BG09 BH16 CA05 CA06 DF01
EZ20
5F048 AA00 AC03 AC10 BA01 BB14
BE02 BE03 BE09
5J056 BB49 CC04 DD28 EE04 EE11
GG09 KK02